



dam tie

bar for preventing a burr of the mold may not be provided.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-51578

(P2003-51578A)

(43)公開日 平成15年2月21日(2003.2.21)

(51)IntCl <sup>7</sup>	識別記号	F I	テームト(参考)
H 0 1 L 23/50		H 0 1 L 23/50	U 4 M 1 0 9
23/28		23/28	K 5 F 0 6 7
25/04		25/08	A
25/065		25/04	Z
			Z
審査請求 未請求 請求項の数8 O L (全 5 頁) 最終頁に続く			

(21)出願番号 特願2001-238741(P2001-238741)

(22)出願日 平成13年8月7日(2001.8.7)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 藤本 仁士

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100093662

弁理士 児玉 俊英 (外3名)

Fターム(参考) 4M109 AA01 BA01 CA21 FA00

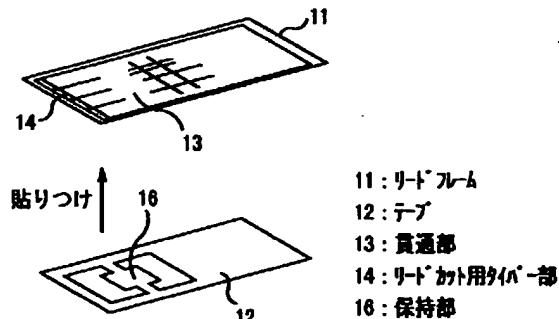
5F067 AA02 BE10 CB02 CC02 CC08

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ダイパッド部の沈めのないリードフレームを有すると共に、マルチチップ化に適するように表面に導電配線を形成しやすいフレームを有する半導体装置を得る。

【解決手段】 リードフレーム11は、ICチップが取付けられる位置を貫通部13とし、このリードフレーム11の一面にICチップを取付ける保持部16を有するテープ12を貼り付けて複合フレームを形成し、テープ12の保持部16上のリードフレーム11の貫通部13にICチップを取付けるようにして、リードフレーム11からダイパッド部の沈めを無くし、且つモールドのばり防止のダムタイバーも設けないようにしている。



## 【特許請求の範囲】

【請求項1】 ICチップが配置される貫通部を有し、多数のリードが形成されたリードフレーム、このリードフレームの一面に貼り付けられると共に、上記貫通部に配置されたICチップを保持する保持部を有するテープ、このテープ及び上記保持部によって保持されたICチップを覆うように形成されたモールド樹脂を備えたことを特徴とする半導体装置。

【請求項2】 ICチップが配置される貫通部を有し、多数のリードが形成されたリードフレーム、このリードフレームの一面に貼り付けられると共に、上記貫通部に配置されたICチップを保持する保持部を有するテープ、このテープ及び上記保持部によって保持されたICチップを覆うように形成されたモールド樹脂を備え、上記テープの保持部上には導電配線が設けられていることを特徴とする半導体装置。

【請求項3】 導電配線は、ワイヤボンドの中継配線端子として用いられることを特徴とする請求項2記載の半導体装置。

【請求項4】 保持部には、複数のICチップが水平に取付けられることを特徴とする請求項1～請求項3のいずれか一項記載の半導体装置。

【請求項5】 保持部には、テープを挟んで、二つのICチップが垂直に取付けられることを特徴とする請求項1～請求項3のいずれか一項記載の半導体装置。

【請求項6】 保持部は、リードフレームのリードを保持する形状に形成されると共に、上記リードが切断される位置にスリットが設けられていることを特徴とする請求項1～請求項5のいずれか一項記載の半導体装置。

【請求項7】 テープは、絶縁性及び耐熱性を有することを特徴とする請求項1～請求項6のいずれか一項記載の半導体装置。

【請求項8】 ICチップが取付けられる貫通部を有し、多数のリードが形成されたリードフレームに、ICチップを保持する保持部を有するテープを貼り付ける第一の工程、上記保持部上のリードフレームの貫通部にICチップを取付ける第二の工程、上記保持部及びICチップをモールド樹脂で覆う第三の工程、リードフレームの各リードを支持するリードカット用タイバーを切り離す第四の工程、ICチップの電気試験を行う第五の工程、モールド樹脂で覆われたICチップを切り離す第六の工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、TSOP (Thin Small Outline Package) などの高密度、小型、薄型の半導体パッケージを有する半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】最近の携帯電話などの電子機器は、高機

能化、小型、薄型化が進み、これに搭載される半導体デバイスを封止するパッケージについても、現在、QFP (Quad Flat Package)、TSOPなどの表面実装法のパッケージが提供されている。これに加えて、

(1) 一つのパッケージに複数のICチップを搭載するマルチチップ化

(2) TSOP (厚み; 1mm) より薄いパッケージの要求がある。

10 【0003】図5は、従来のTSOPパッケージ構造を示す断面図である。図5において、1は200 $\mu$ m以上の厚みを有するICチップ、2はICチップ1が取付けられるリードフレームのダイパッド部、3はリード、4はICチップ1とリード3を結ぶワイヤループ、5はICチップ1及びダイパッド部2を覆うように形成されたモールド樹脂エリアであり、モールド樹脂エリア5の厚さは、約1mmである。図6は、従来のリードフレームを示す図である。図6において、2は図5におけるものと同一のものである。6はリードフレーム長辺外枠、7はリード部、8はダイパッド部2を支持する宙吊りリードである。

## 【0004】

【発明が解決しようとする課題】次に、図5、図6を用いて、従来のTSOPの現状での解決すべき問題点について述べる。通常のリードフレームには、ワイヤループ4がICチップ端と接触するのを防止するため、ICチップ1をセンターに位置させるために、ダイパッド部2とリード3との間の段差を形成するようにダイパッド沈めが設けられている。パッケージの厚みが薄くなると、ワイヤループ4の上限とパッケージの上端面までの距離、またはダイパッド下限とパッケージの下端面との間の距離が殆どなくなり(100 $\mu$ m以下)、現状のダイパッド沈めの公差外や、ワイヤループ4の高さの公差外が出た場合、金線ワイヤループ4のパッケージ上面への露出や、ダイパッド部2のパッケージ下面への露出が起り、半導体装置の不良率が増加する。

40 【0005】また、ダイパッド2の形状は、ICチップ1のサイズごとに決められるため、リードフレームの種類が増えると共に、設備の治工具もそのたびに段取り換えが必要で、設備のダウンタイムが増え、全体の生産性が低下するという問題があった。また、このダイパッド部2を沈める構造では、必ずリード3との段差が必要のため、パッケージ厚さをこれ以上薄くするには限界がある。リードフレームのタイプによっては、沈めを形成しないこともできるが、ICチップ1とリードフレーム材質(金属; 銅合金)とモールド樹脂間の線膨張係数の差で、パッケージとの界面剥れ、吸湿後のクラックなどが起こりやすくなる。図6のダイパッド部2は、リードフレームの外枠部の宙吊りリード8で支持され、この部分を通常は塑性変形させて、ダイパッド部2をリードフレ

ム3に比べ下方に沈めるダイパッド沈めがなされている(ワイヤループ4のチップ端とのショート対策及びパッケージに対するチップの位置をできるだけ中央にもってゆくため)。上記のようなダイパッド沈めを形成するときの宙吊りリード8のメカニカルな変形では、薄型パッケージの場合、沈め量の公差をコントロールできなくなるという問題もあった。

【0006】また、最近、QFPパッケージなどの多ピンパッケージに、複数のICチップを搭載したマルチチップがあり、ICチップ間を相互にワイヤボンディングすることにより、高機能のシステムLSIの提供が行われているが、現状のリードフレームタイプにおいては、ダイパッド部が、全面金属製であるため、フレキシビリティに欠けるという問題もある。このマルチチップパッケージの要求に対して、現状の金属性のダイパッドでは、複数のチップサイズ毎にフレームを製作する必要があり、金属製のために表面に導電性の配線などができないという問題がある。

【0007】この発明は、上述のような問題点を解決するためになされたもので、ダイパッド部の沈めないリードフレームを有する半導体装置を得ることを第一の目的としている。また、マルチチップ化に適し、表面に導電配線が可能なフレームを有する半導体装置を得ることを第二の目的としている。また、フレーム状態で電気試験を容易に行える半導体装置を得ることを第三の目的にしている。さらに、薄型プラスチックパッケージを有する半導体装置を得ることを第四の目的にしている。また、そのような半導体装置の製造方法を得ることを第五の目的にしている。

【0008】

【課題を解決するための手段】この発明に係わる半導体装置においては、ICチップが配置される貫通部を有し、多数のリードが形成されたリードフレームと、このリードフレームの一面に貼り付けられると共に、貫通部に配置されたICチップを保持する保持部を有するテープと、このテープ及び保持部によって保持されたICチップを覆うように形成されたモールド樹脂を備えたものである。また、ICチップが配置される貫通部を有し、多数のリードが形成されたリードフレームと、このリードフレームの一面に貼り付けられると共に、貫通部に配置されたICチップを保持する保持部を有するテープと、このテープ及び保持部によって保持されたICチップを覆うように形成されたモールド樹脂を備え、テープの保持部上には導電配線が設けられているものである。また、導電配線は、ワイヤボンディングの中間配線端子として用いられるものである。

【0009】さらに、保持部には、複数のICチップが水平に取付けられるものである。また、保持部には、テープを挟んで、二つのICチップが垂直に取付けられるものである。

【0010】また、保持部は、リードフレームのリードを保持する形状に形成されると共に、リードが切断される位置にスリットが設けられているものである。また、テープは、絶縁性及び耐熱性を有するものである。

【0011】加えて、この発明に係わる半導体装置の製造方法においては、ICチップが取付けられる貫通部を有し、多数のリードが形成されたリードフレームに、ICチップを保持する保持部を有するテープを貼り付ける第一の工程と、保持部上のリードフレームの貫通部にICチップを取付ける第二の工程と、保持部及びICチップをモールド樹脂で覆う第三の工程と、リードフレームの各リードを支持するリードカット用タイバーを切り離す第四の工程と、ICチップの電気試験を行う第五の工程と、モールド樹脂で覆われたICチップを切り離す第六の工程を含むものである。

【0012】

【発明の実施の形態】実施の形態1. 図1は、この発明の実施の形態1による半導体装置のテープ貼り付けフレームを示す説明図である。図1において、11はリードフレーム、12はリードフレーム11に貼り付けられるテープであり、リードフレーム11と共に複合フレームを形成する。13はリードフレーム11の貫通部で、この部分にICチップが取付けられる。14はリードフレーム11のリードカット用タイバー部、16はテープ12のICチップを保持する保持部である。

【0013】次に、動作について説明する。リードフレーム11に下方よりテープ12を貼り付け、テープ12に設けられた保持部16にICチップを取付け、保持する。したがって、リードフレーム11の貫通部13には何も形成されず、リードフレーム11にはリードカット用タイバー部14が設けられる。テープ12は、耐熱性、絶縁性を有する。テープ12の形状は、リードカット位置にスリット(貫通孔)が設けられ、保持部16は、ICチップの保持及びワイヤボンディング用のリードを保持する形状を有している。この保持部16に、ICチップを取付け、保持するので、リードフレーム11にダイパッド沈めを設ける必要がない。テープ12の保持部16のエリア表面には、リードフレーム11を貼り付け後に、ICチップをダイ付けするダイボンディング用の接着樹脂が塗布される。この保持部16は、絶縁性のテープ12に形成されるので、導電性の配線材が表面に形成できる。

【0014】実施の形態1によれば、リードフレームに貼り付けたテープによってICチップを保持するので、ダイパッド部の沈めないリードフレームとすると共に、テープ表面に導電配線を設けることが可能になる。

【0015】実施の形態2. 図2は、この発明の実施の形態2による半導体装置のテープ付きフレームを用いた薄型パッケージ構造を示す断面図である。図2において、12は図1におけるものと同一のものである。18

はテープ12上に取付けられたICチップで、100 $\mu$ m以下の厚みを有する。19はリード、20はICチップ18とリード19とを接続するワイヤループ、21はICチップ18及びテープ12を覆うように形成されたモールド樹脂エリアである。

【0016】図3は、この発明の実施の形態2による半導体装置のテープ付きフレームを用いたマルチチップ水平配置の薄型パッケージ構造を示す断面図である。図3において、12、18～21は図2におけるものと同じのものである。22はテープ12上に設けられ、ワイヤループ20を接続する導電配線で、中継配線端子を形成する。23はリードカット位置である。図3では、ICチップ18が水平方向に二つ配置されている。図4は、この発明の実施の形態2による半導体装置のテープ付きフレームを用いたマルチチップ垂直配置の薄型パッケージ構造を示す断面図である。図4において、12、18～21は図2におけるものと同じのものである。図4では、テープ12の両側にICチップ18が取付けられている。

【0017】図2、図3の薄型パッケージ構造では、リードフレームにダイパッド沈めは形成されていないが、ICチップ18はテープ12上に取付けられるため、ICチップ18の下面はリードの厚み(100 $\mu$ m以下)分の段差を有する。図2、図3の構成では、リードフレームの厚さを0.125mmとし、モールドの厚さを0.5mm以下とすることができる。図3のマルチチップ水平配置の薄型パッケージ構造では、テープ12の保持部16に複数のICチップ18のダイ付けができ、テープ上の導電配線22をワイヤボンダの中継配線端子として使用できる。図4のマルチチップ垂直配置の薄型パッケージ構造は、テープ12の両側に、ICチップ18が配置されていて、リードフレームにダイパッド沈めを設けていない。

【0018】これらは、従来のリードフレームと同じ方法、設備にて組立てでき、リードフレームへのダイボンダ接着材の塗布、タイバーカット工程が省略できる。すなわち、ICチップが取付けられる貫通部を有し、多数のリード19が形成されたリードフレームに、ICチップを保持する保持部を有するテープ12を貼り付け(第一の工程)、テープ12の保持部上のリードフレームの貫通部にICチップ18を取付けた(第二の工程)後、保持部及びICチップをモールド樹脂で覆う(第三の工程)。その後、リードフレームの各リードを支持するリードカット用タイバーを切り離すリードカットを実施し(第四の工程)、この状態で電気試験を実施(第五の工程)した後、テープ12のリードカット位置23でカットして(第六の工程)個々のICチップを切り離せば、リードフレームの状態で電気試験を行うことができる。

【0019】実施の形態2によれば、薄型パッケージを形成でき、マルチチップに適したリードフレームとする

と共に、フレーム状態でファイナルな電気試験を容易に行えるという効果がある。

【0020】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。ICチップが配置される貫通部を有し、多数のリードが形成されたリードフレームと、このリードフレームの一面に貼り付けられると共に、貫通部に配置されたICチップを保持する保持部を有するテープと、このテープ及び保持部によって保持されたICチップを覆うように形成されたモールド樹脂を備えたので、ダイパッド沈めのないリードフレームとすることができ、薄型パッケージを形成することができる。また、ICチップが配置される貫通部を有し、多数のリードが形成されたリードフレームと、このリードフレームの一面に貼り付けられると共に、貫通部に配置されたICチップを保持する保持部を有するテープと、このテープ及び保持部によって保持されたICチップを覆うように形成されたモールド樹脂を備え、テープの保持部上には導電配線が設けられているので、ダイパッド沈めのないリードフレームとし、薄型パッケージを形成できると共に、保持部上での配線をし易くし、マルチチップ化に対応することができる。

【0021】また、導電配線は、ワイヤボンダの中継配線端子として用いられるので、ワイヤボンダの信頼性を上げることができる。

【0022】さらに、保持部には、複数のICチップが水平に取付けられるので、水平方向にマルチチップ化することができる。また、保持部には、テープを挟んで、二つのICチップが垂直に取付けられるので、垂直方向にマルチチップ化することができる。

【0023】また、保持部は、リードフレームのリードを保持する形状に形成されると共に、リードが切断される位置にスリットが設けられているので、リードを切断することができる。また、テープは、絶縁性及び耐熱性を有するので、導電配線を設けることができる。

【0024】加えて、この発明に係わる半導体装置の製造方法においては、ICチップが取付けられる貫通部を有し、多数のリードが形成されたリードフレームに、ICチップを保持する保持部を有するテープを貼り付ける第一の工程と、保持部上のリードフレームの貫通部にICチップを取付ける第二の工程と、保持部及びICチップをモールド樹脂で覆う第三の工程と、リードフレームの各リードを支持するリードカット用タイバーを切り離す第四の工程と、ICチップの電気試験を行う第五の工程と、モールド樹脂で覆われたICチップを切り離す第六の工程を含むので、ダイパッド沈めのないリードフレームとすることができ、薄型パッケージを形成すると共に、リードフレームの状態でICチップの電気試験を行うことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置のテープ貼り付けフレームを示す説明図である。

【図2】 この発明の実施の形態2による半導体装置のテープ付きフレームを用いた薄型パッケージ構造を示す断面図である。

【図3】 この発明の実施の形態2による半導体装置のテープ付きフレームを用いたマルチチップ水平配置の薄型パッケージ構造を示す断面図である。

【図4】 この発明の実施の形態2による半導体装置のテープ付きフレームを用いたマルチチップ垂直配置の薄

型パッケージ構造を示す断面図である。

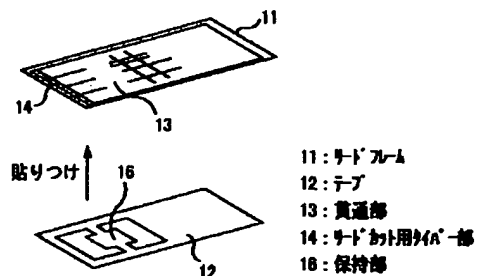
【図5】 従来のTSOPパッケージ構造を示す断面図である。

【図6】 従来のリードフレームを示す図である。

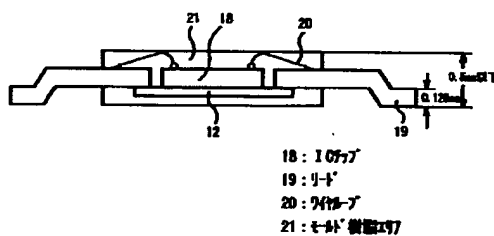
【符号の説明】

11 リードフレーム、12 テープ、13 貫通部、14 リードカット用タイバー部、16 保持部、18 ICチップ、19 リード、20 ワイヤループ、21 モールド樹脂エリヤ、22 導電配線、23 リードカット位置。

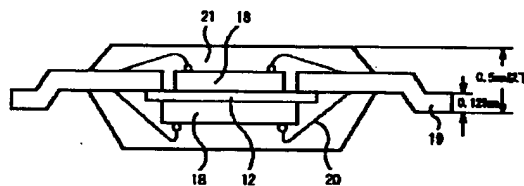
【図1】



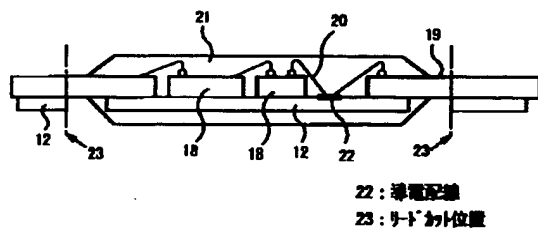
【図2】



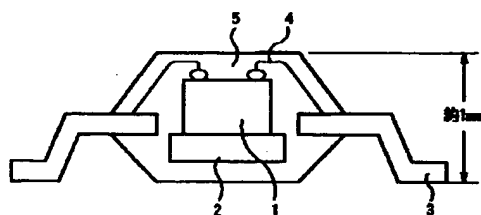
【図4】



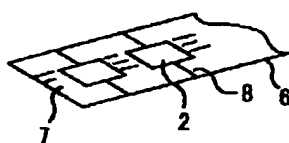
【図3】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 25/07

25/18

識別記号

F I

テーマード(参考)